

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-33597

(43) 公開日 平成7年(1995)2月3日

(51) IntCl⁸

識別記号

庁内整理番号

F I

技術表示箇所

C 3 0 B 29/62

W 8216-4G

11/12

G 0 1 R 1/067

H 0 1 B 1/00

1/08

H 7244-5G

7244-5G

審査請求 未請求 請求項の数3 O L (全6頁) 最終頁に続く

(21) 出願番号

特願平5-185049

(22) 出願日

平成5年(1993)7月27日

(71) 出願人 000003296

電気化学工業株式会社

東京都千代田区有楽町1丁目4番1号

(72) 発明者 雨宮 勝

東京都町田市旭町3丁目5番1号 電気化学工業株式会社総合研究所内

(72) 発明者 加藤 和男

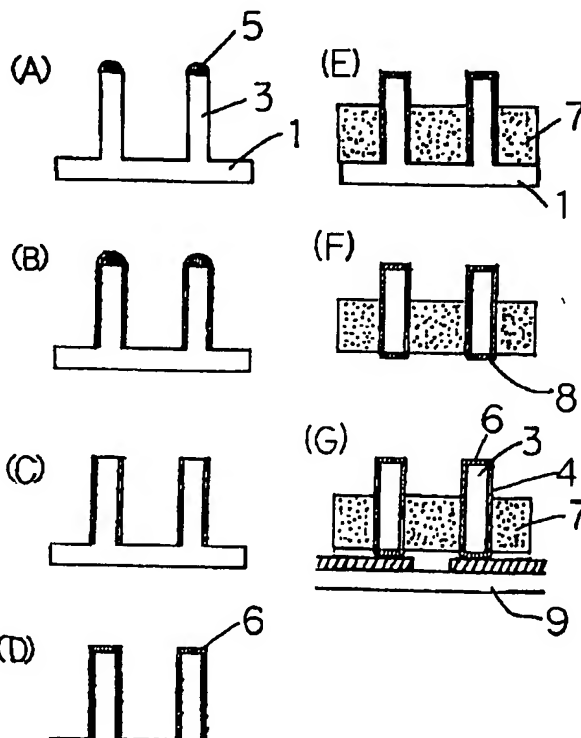
東京都町田市旭町3丁目5番1号 電気化学工業株式会社総合研究所内

(54) 【発明の名称】 導電性針状単結晶体及び包埋物

(57) 【要約】

【目的】 半導体集積回路の電気特性測定用プローブ等に使用できる導電性針状単結晶体、その包埋物及びそれを用いた電気特性測定用組立物を得る。

【構成】 (A) VLS成長法にて形成された針状単結晶体と (B) 該針状単結晶体の少なくとも側面を被覆してなる0.1~10 μ m厚みの導電性膜からなる導電性針状単結晶体で、アスペクト比が1~500の範囲である導電性針状単結晶体、その包埋物及びそれを用いた電気特性測定用組立物。



【特許請求の範囲】

【請求項1】 (A) VLS成長法にて形成された針状単結晶体と (B) 該針状単結晶体の少なくとも側面を被覆してなる0.1~10 μ m厚みの導電性膜からなる導電性針状単結晶体で、アスペクト比が1~500の範囲である導電性針状単結晶体。

【請求項2】 請求項1記載の導電性針状単結晶体を、樹脂又は低融点ガラスで所望の位置に包埋し、該樹脂又は低融点ガラスの一方の面から、該導電性針状単結晶体が10~500 μ m突出していることを特徴とする導電性針状単結晶体包埋物。

【請求項3】 請求項2記載の導電性針状単結晶体包埋物を用いた半導体回路の特性測定用組立物で、支持基板と導電性針状単結晶体のなす角度が80~90度である電気特性測定用組立物。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路の電気特性測定用プローブピン、微小真空デバイスや電子銃、或いは走査型トンネル顕微鏡や原子間力顕微鏡をはじめとする走査型プローブ顕微鏡のプローブ等に使用できる導電性針状単結晶体、その包埋物及びそれを用いた電気特性測定用組立物に関する。

【0002】

【従来の技術】半導体集積回路は、製造段階において不良品除去のため何度か電気的特性を測定する必要がある。例えばLSIの場合、ウエハ内に回路素子を製造した段階で、各チップを構成する回路素子の動作をテストするための測定が行われ、この後、ウエハから切り取られたチップをパッケージに収容したり、TABテープに実装した状態で、再度動作テストするための測定が行われる。このうち、前者は、通常タングステン等の金属によって構成されたプローブピンを有するプローブカードが使用される。また、後者は、アウターリードが挿入されるソケットを使用することが多いが、TABの場合は、プローブカードが使用されることがある。ところで、近年、LSIの高密度化に伴い、電気的特性測定のための端子(パッド)数が増加し、単位面積あたり多数のプローブピンを設けることが必要になっている。このため微細化、高精度化されたプローブピンが求められているが、従来のタングステン等のプローブピンではこれに対応できなくなりつつある。

【0003】

【発明が解決しようとする課題】本発明は、半導体集積回路の電気特性測定用プローブピン等に使用される導電性針状単結晶体、その包埋物及びそれを用いた電気特性測定用組立物を提供することを目的とするものである。本発明者等は、半導体集積回路の電気特性測定用プローブピン等に使用される座屈荷重の大きい導電性針状単結

の位置に精度よく包埋された導電性針状単結晶体包埋物につき鋭意研究を行った結果、(A) VLS成長法にて形成された針状単結晶体と (B) 該針状単結晶体の少なくとも側面を被覆してなる0.1~10 μ m厚みの導電性膜からなる導電性針状単結晶体で、アスペクト比が1~500の範囲である導電性針状単結晶体、その包埋物及びそれを用いた電気特性測定用組立物に到達し、本発明を完成するに至った。

【0004】

【課題を解決するための手段】すなわち、本発明の第1の発明は、(A) VLS成長法にて形成された針状単結晶体と (B) 該針状単結晶体の少なくとも側面を被覆してなる0.1~10 μ m厚みの導電性膜からなる導電性針状単結晶体で、アスペクト比が1~500の範囲である導電性針状単結晶体である。本発明の第2の発明は、第1の発明の導電性針状単結晶体を、樹脂又は低融点ガラスで所望の位置に包埋し、該樹脂又は低融点ガラスの一方の面から、該導電性針状単結晶体が10~500 μ m突出していることを特徴とする導電性針状単結晶体包埋物である。本発明の第3の発明は、第2の発明の導電性針状単結晶体包埋物を用いた半導体回路の特性測定用組立物で、支持基板と導電性針状単結晶体との角度が80~90度である電気特性測定用組立物である。

【0005】以下、本発明を詳細に説明する。本発明で用いられる針状単結晶体は、VLS成長法にて形成される。このVLS成長法は、(R. S. Wagner and W. C. Ellis: Appl. Phys Letters 4 (1964) 89)に開示されているものである。図1はかかる針状単結晶体の形成方法を説明するための図である。図1(a)に示すように、表面が(111)面であるシリコン単結晶基板1の所定の位置に金粒子2を載置する。これをSiH₄、SiCl₄などのシリコンを含むガスの雰囲気の中でSi-Au合金の融点以上に加熱する。Si-Au合金はその融点が低いため、金粒子2は載置された部分にこの合金の液滴が出来る。この時、ガスの熱分解により、シリコンが雰囲気中より取り込まれるが、液状体は他の固体状態に比べてシリコン原子を取り込み易く、Si-Au合金の液滴中には次第にシリコンが過剰になる。この過剰シリコンはシリコン基板1上にエピタキシャル成長し同図(b)に示すように<111>軸方向に沿って、頂部にSi-Au合金液滴5を有しつつ、針状単結晶体3が成長する。また、針状単結晶体3は単結晶であり、基板1の結晶方位と同一方位を有する。また、針状単結晶体3の直径は液滴の直径とほぼ同一である。尚、以上の結晶成長機構はVLS (Vapor-liquid-Solid) 成長法と呼ばれており、以下VLS成長法と記す。

【0006】この方法はシリコン単結晶の場合に限らず、他の単結晶の育成にも応用されている。たとえば、LaB₆単結晶の育成はその融点が2530℃と高温で蒸発速度

ていない。このような観点から、より低温で結晶成長が可能なVLS成長が試みられている(Journal of Crystal Growth 51 (1981) 190-194)。ところで、Au粒子を置き替わりにフォトリソグラフ法、メッキ法、蒸着法、エッチング法などを組み合わせることによりシリコン基板上にAuを島状にパターン化しVLS成長を行えば、基板上の所望の位置に1個以上の針状単結晶を形成することができ、これを電気特性測定用プローブピン等を使用することができる。

【0007】本発明の針状単結晶を構成するものとして、Si、LaB₆、GaAs、GaP、WO₂、SiC等であり、特に好ましくは、Si、LaB₆である。これら元素又は化合物と合金をつくるものとしては、Au、Pt、Ag、Cu、Pd、及びGaであり、特に好ましくはAu及びPtである。本発明によって用いられる針状単結晶の形状は、座屈荷重及び撓み性を考慮すると円柱状又はそれに近いものが好ましく、その直径は5~300 μ mの範囲である。針状単結晶の高さは、150 μ m以上であり、特に好ましくは200 μ m~3mmであり、3mmを越えると、VLS成長法による針状単結晶形成時にキックやブランチが多数発生する。該針状単結晶のアスペクト比(高さ/直径)は1~500、特に好ましくは5~100である。アスペクト比が1未満では針状単結晶が短かすぎて、電気特性測定用プローブピン等を使用できず、500を越えると座屈荷重が低下する。

【0008】また、VLS成長法にて形成された針状単結晶は、必然的に先端合金部を有するが、半導体集積回路の電気特性測定用プローブピン等を使用する場合、先端合金部の座屈荷重が低いと、これを除去したものを使用することが好ましい。先端合金部の除去は、工程の任意の段階で行うことができる。例えば、(1)VLS成長法にて針状単結晶を形成した後、(2)導電性膜の形成後、(3)樹脂包埋後等である。また、先端合金部を除去するときに、高さを揃える等のために、同時に針状単結晶の一部を除去してもよい。

【0009】先端合金部の除去は、各種の方法で行うことができ、特に研磨方法により除去することが好ましい。研磨方法としては、具体的には、研磨パッド又は研磨砥粒を用いるポリシング加工等がある。研磨パッドとしては、通常、酸化アルミ、シリコンカーバイト、酸化クロム等の砥粒が付着したパッドが用いられる。

【0010】本発明の導電性針状単結晶は(A)VLS成長法にて形成された針状単結晶と(B)該針状単結晶の少なくとも側面を被覆してなる0.1~10 μ m厚みの導電性膜からなるもので、アスペクト比が1~500の範囲である導電性針状単結晶で、側面が、0.1 μ m~10 μ m厚みの導電性膜で被覆されているものである。導電性膜が0.1 μ m以下では導電性膜の

は、膜の均一性が得られなく、コストも高くなる。

【0011】この導電性膜の形成は、針状単結晶を蒸着法、メッキ法、及びディップ法等で被覆する方法で行われる。具体的には、針状単結晶にNi-P又はCr等の下地メッキをし、次にAu、Au合金、Rh等の表層メッキをする方法がある。表層メッキは導電性の優れた金属を使用することが好ましく、特にAu、Au-Ni、Au-Co、Au-Cr、Au-Cu、Rhが好ましい。この導電性膜は針状単結晶の少なくとも側面を被覆しているものであるが、半導体集積回路の電気特性測定用プローブピン等を使用する場合は、半導体集積回路の端子(パッド)と接触する針状単結晶の先端部は、導電性膜で被覆されていることが好ましい。又、導電性針状単結晶は、単結晶基板に直接結合して使用してもよい。又、単結晶基板と切り離して使用する場合は、該先端面の反対面は、必要に応じて、導電性膜(Auパンプ等)で被覆されていてもよい。導電性針状単結晶の直径は5~300 μ mの範囲であり、針状単結晶の高さは、150 μ m以上であり、特に好ましくは200 μ m~3mmであり、3mmを越えると、VLS成長法による針状単結晶形成時にキックやブランチが多数発生する。そのアスペクト比(高さ/直径)は1~500、特に好ましくは5~100である。

【0012】本発明に用いられる樹脂は、熱硬化性樹脂及び熱可塑性樹脂である。熱硬化性樹脂としては、エポキシ系樹脂、アクリル系樹脂、シリコン系樹脂、ウレタン系樹脂、ポリイミド系樹脂等があり、熱可塑性樹脂としては、オレフィン系樹脂、スチレン系樹脂等がある。特に好ましくは、エポキシ系樹脂である。これらの樹脂に無機フィラーを添加し、用いることができる。無機フィラーとしては、SiO₂、Al₂O₃等が用いられる。本発明に用いられる低融点ガラスは、PbO、B₂O₃、ZnO等を含んだ低融点ガラス(ハンダガラス9であり、軟化点が300~500℃で、金属・セラミック・ガラス等の接着に適しており電子管のシール等に用いられているものである。樹脂又は低融点ガラスによる包埋は、その厚み等に特に制限はないが、好ましくは0.2~2.0mm厚さである。本発明の方法によれば、前記包埋物における導電性針状単結晶の位置精度は0~10 μ mの範囲である。又、半導体集積回路の端子との接触のために、前記樹脂又は低融点ガラスの一方の面から、導電性針状単結晶が10~500 μ m突出していることが好ましい。

【0013】本発明において、導電性針状単結晶を、0.2~2.0mm厚さの樹脂又は低融点ガラスで所望の位置に精度良く包埋し、該樹脂又は低融点ガラスの一方の面から、導電性針状単結晶が10~500 μ m突出している導電性針状単結晶包埋物を得る方法としては、導電性針状単結晶をシート等に埋め込む方法も用

れた針状単結晶体を樹脂又は低融点ガラスで包埋し、研磨等により基板を除去する方法が用いられる。研磨方法としては、前記の先端合金部の除去と同様の方法が使用できる。単結晶基板と結合していた針状単結晶体の面は導電性膜を被覆することが好ましい。導電性膜を被覆する方法としては、具体的には、蒸着法、メッキ法、及びディップ法等がある。例えば、針状単結晶体にNi-P又はCr等の下地メッキをし、次にAu、Au合金、Rh等の表層メッキをする方法がある。表層メッキは導電性の優れた金属を使用することが好ましい。

【0014】図2にて、導電性針状単結晶体包埋物の製造工程の概要を説明する。(A)はVLS成長法にて形成された針状単結晶体を示す。(B)は導電性膜の被覆後の状態を示す。(C)は先端合金部除去後の状態を示す。(D)は先端に導電性膜を被覆後の状態を示す。

(E)は樹脂又は低融点ガラスで包埋処理後の状態を示す。(F)は単結晶基板を除去し、Auパンプをつけた状態を示す。(G)は支持基板に接合、組み立てた状態を示す。

【0015】本発明の導電性針状単結晶体包埋物は、側面に設けられた導電性膜と配線基板とを接続し、電気特性測定用組立物に組み立て、電気特性測定用プローブピン等に使用できる。図3にて、導電性針状単結晶体包埋物と支持基板の接合、組み立て状態を示す。(A)は支持基板に針状単結晶体包埋物を取付け、配線した状態を上方より見た図を示す。(B)はプローブピン、支持基板及び半導体集積回路基板の位置関係を示す断面図である。

【0016】前記電気特性測定用組立物においては、支持基板と導電性針状単結晶体のなす角度を80~90度に組み立てることが好ましく、これにより、半導体集積回路の測定表面と導電性針状単結晶体がほぼ、直角に接触するようになり、プローブピンの寿命が長くなる。この電気特性測定用プローブピンは、半導体集積回路の製造段階における回路素子等の測定用として、従来のタングステン等の針状測定端子を有するプローブピンに比較し、端子の形状及び相互距離が微細化され、多端子化が可能であり、確実に接触することが可能なプローブピンである点で優れている。

【0017】

【実施例】以下実施例により本発明を詳細に説明する。

実施例1

Si単結晶基板(以下基板という)上に、フォトリソグラフィ法を用いAuパターンを形成し、VLS成長法により、直径25 μ mの針状単結晶体を等間隔に、高さ400 μ mに成長させた。次に、針状単結晶体が形成された基板を洗浄、脱脂し、フッ化水素酸で、処理した後、Ni-P化学メッキ及びAu電気メッキをそれぞれ1 μ m施した。次に、基板と針状単結晶体を研磨用ワックスで

包埋し、#4000アルミナ砥粒ラッピングシートによる湿式研磨をし、針状単結晶体先端合金部の除去及び高さを300 μ mに均等化した。

【0018】研磨後、ワックスを溶剤で溶解除去し、研磨した針状単結晶体の先端へ蒸着によりAu薄膜を付け、さらに電気メッキによりRhメッキ1 μ mを施した。メッキ処理を行った針状単結晶体の先端の100 μ mが樹脂上に突出するように、硬化型エポキシ樹脂を基板上に200 μ mの厚さに流し込み、エポキシ樹脂を加熱硬化させた。樹脂表面上に、100 μ mの高さで突出した導電性針状単結晶体を導電性接着剤と研磨用ワックスで覆った後、基板を#4000アルミナ砥粒ラッピングシートで湿式研磨し、樹脂包埋物から除去した。次に、導電性接着剤部に電極を取付け、次いで、針状単結晶体の底部に径30 μ m、高さ10 μ mのAuパンプを作製した。導電性針状単結晶体のそれぞれに接続できる接続用端子を配した支持基板をフットワークメッキで作製し、これと導電性針状単結晶体包埋物のAuパンプを突合わせて重ね、支持基板と包埋物の間にエポキシ樹脂を充填、加熱硬化させ一体化した。支持基板の外部接続端子にリード線をつなぎ、導電性針状単結晶体をプローブとして、各種評価を行った。評価結果を表1に示す。

【0019】実施例2

実施例1の包埋処理において、硬化型エポキシ樹脂を用いる代わりに、低融点ガラス(軟化温度400℃、熱膨張率 3.5×10^{-6})粉末を溶融後の厚みが200 μ mとなる様に塗布し、真空加熱炉中で、加熱軟化させ、包埋した以外は同様に行った。支持基板の外部接続端子にリード線をつなぎ、導電性針状単結晶体をプローブとして、各種評価を行った。評価結果を表1に示す。

【0020】比較例1

直径25 μ m、高さ500 μ mのプローブ用タングステン線を顕微鏡を用いて、支持基板上に手作業にて固定し、エポキシ樹脂を流し込んで後、加熱硬化させ電気特性測定用組立物を得、各種評価を行った。評価結果を表1に示す。

【0021】尚、測定法は下記の方法で行った。

(位置精度) 最小読み取り単位、1 μ mのX-Yステージ付き光学顕微鏡型測長機を使用し、基準点を決め、それぞれに配置された導電性針状単結晶体の中心座標を測定した。該導電性針状単結晶体の中心座標と設計上の中心座標との距離を求め、位置精度とした。

(座屈荷重) 許容負荷500g \pm 1gのロードセル付き圧縮強度試験機により載荷速度1g/secで行った。

(プローブ角度) 電気特性測定用組立物につき、支持基板とプローブのなす角度を測定した。

【0022】

【表1】

	位置精度	座屈荷重 (g)	プローブ角度 (度)
実施例 1	5 μ m 以下	260	95 度以上
実施例 2	4 μ m 以下	260	95 度以上
比較例 1	12 μ m 以上	150	75 度以下

【0023】

【発明の効果】以上説明したように、本発明によれば、半導体集積回路の電気特性測定用プローブピン等に使用できる導電性針状単結晶体、その包埋物及びそれを用いた組立物を得ることができる。

【図面の簡単な説明】

【図1】図1はVLS成長法により形成された針状単結晶体を示す図である。

【図2】図2は導電性針状単結晶体包埋物の製造工程の概要を示す図である。

【図3】図3は導電性針状単結晶体包埋物と支持基板の接合、組み立てを示す図である。

【符号の説明】

1 単結晶基板

2 金粒子

3 針状単結晶体

4 導電性膜

5 先端合金部 (Au-Si合金)

6 先端導電性膜

20 7 樹脂又は低融点ガラス

8 Auバンプ

9 支持基板

10 絶縁基板

11 配線

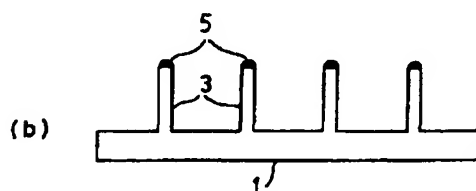
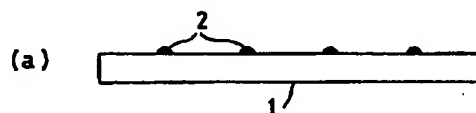
12 リード線

13 導電性針状単結晶体包埋物

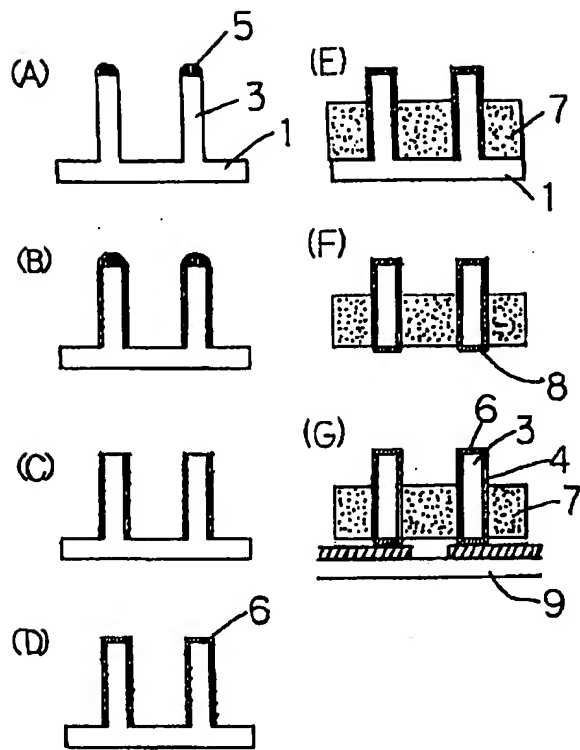
14 半導体集積回路基板

15 プローブピン

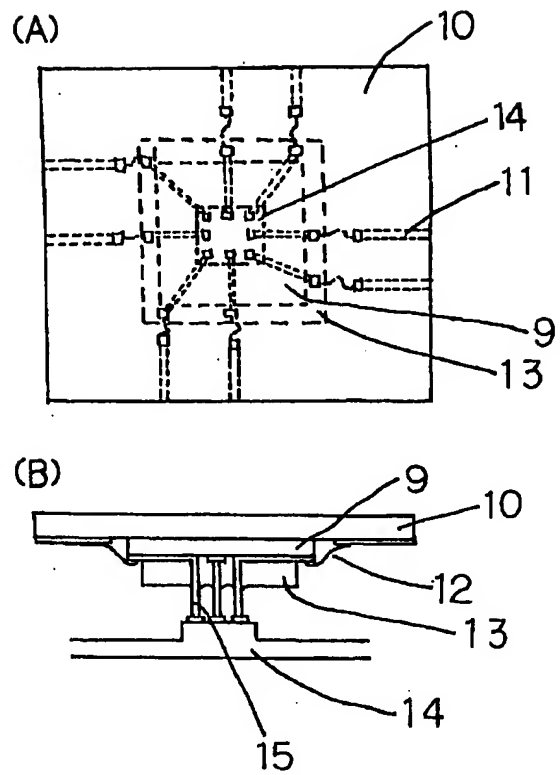
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 B 1/14

H 0 1 L 21/66

識別記号

片内整理番号

7244-5G

B 7630-4M

F I

技術表示箇所